**2.2.1 ：引脚功能**



1. **电源引脚**

VCC（40脚）：直流电源供电电压4.0~5.5V

GND（20脚）：电源负极（电源地电平）

1. **振荡器电路外接晶振引脚**

XTAL1（19）和XTAL2(18):片内振荡器电路外接晶振端。S51内部有一个构成片内振荡器的高增益反相放大器，这两个引脚分别是该放大器的输入端和输出端。

1. **多功能I/O接口引脚**

1. [P0口（39~32）](../第五章%20AT89S51的内部功能模块/5.1%20S51的并行输入、输出接口.docx" \l "P0)：一个八位漏极开路并行双向I/O端口。作为I/O接口时，每个引脚需外接上拉电阻。作为输出口时，引脚功能为：以吸收电流方式驱动8个LSTTL负载；作为输入口时，要先将引脚内的输出锁存器置1。在系统需要功能外扩展时，可用作访问外部程序存储器和数据存储器时的低八位地址/数据总线的分时复用线，此时不用接上拉电阻。[在Flash存储器编程时](#Flash存储器)，P0口接受程序代码字节数据输入；在编程校验时，P0口输出代码字节数据，此时需要上拉电阻。

1. [P1口（1~8）：](../第五章%20AT89S51的内部功能模块/5.1%20S51的并行输入、输出接口.docx" \l "P1)一个内接上拉电阻的八位并行准双向I/O端口。由于这种接口输出没有高阻状态，输入也不能所存，所以不是真正的双向I/O口。作为输出口时，每个引脚驱动4个LSTTL负载；作为输入口时，**要先将引脚内的输出锁存器置1**。在[Flash并行编程](#Flash存储器)和校验时，P1可输入低字节地址信息。在串行编程和校验时，A. P1.5（6）作MOSI（串行指令输入）；

B. P1.6（7）作MISO(串行指令输出);

C. P1.7（8）作SCK（串行移位脉冲控制端）。-----这三个组成了串行ISP编程接口

1. [P2口（21~28）：](../第五章%20AT89S51的内部功能模块/5.1%20S51的并行输入、输出接口.docx" \l "P2)一个内接上拉电阻的八位并行准双向I/O端口，作为通用I/O口时，功能与P1一致。在系统外扩展时，用作访问外部程序存储器和数据存储器的高八位地址总线；在[Flash存储器](#Flash存储器)并行编程和校验时，可输入高字节地址信息，P2.6和P2.7作控制位。

1. [P3口（10~17）：](../第五章%20AT89S51的内部功能模块/5.1%20S51的并行输入、输出接口.docx" \l "P3)一个内接上拉电阻的八位准双向I/O端口，作为通用I/O口时，功能与P1一致。在[Flash存储器](#Flash存储器)并行编程和校验时，P3.3,P3.6,P3.7为控制位。

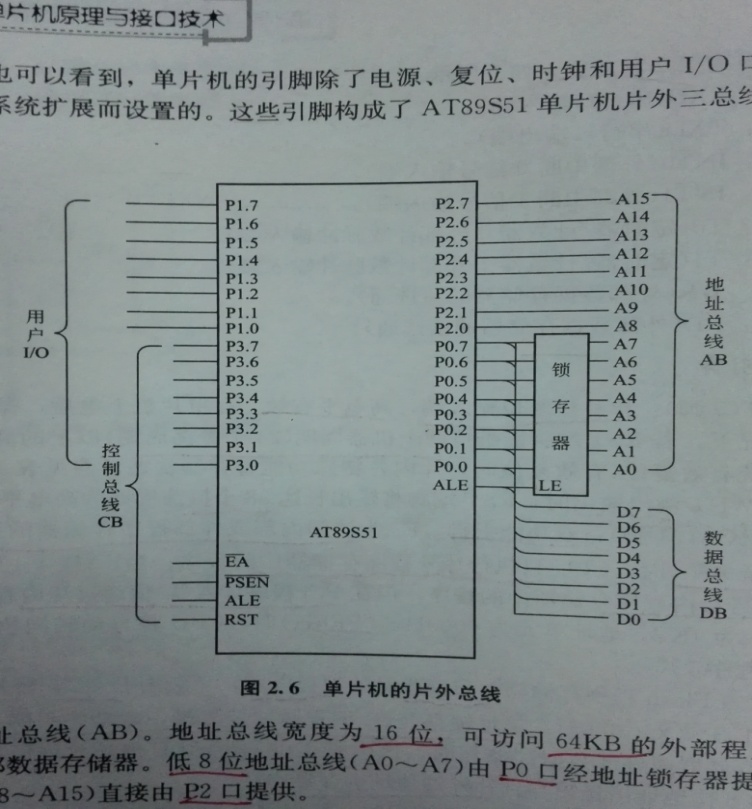
同时P3还有第二种功能：

* + - 1. [P3.0:RXD（串行口输入端）](../第五章%20AT89S51的内部功能模块/5.4%20S51的串行接口.docx#RXD)
      2. [P3.1:TXD(串行口输出端)](../第五章%20AT89S51的内部功能模块/5.4%20S51的串行接口.docx#TXD)
      3. P3.2[:INT0非（](../第五章%20AT89S51的内部功能模块/5.2%20S51的中断系统.docx#五个中断源)外部中断0信号输入端）
      4. P3.3:INT1非（外部中断1信号输入端）
      5. P3.4:T0（定时器/计数器0外部计数脉冲输入端）
      6. P3.5:T1（定时器/计数器1外部计数脉冲输入端）
      7. P3.6:WR非（外部数据存储器的写选通）
      8. P3.7:RD非（外部数据存储器的读选通）

1. **控制引脚**
2. **RST（9）**：单片机复位输入端，高电平有效。在单片机上电后，振荡器稳定有效运行的情况下，若该引脚能维持两个机器周期（24个振荡周期）以上的高电平，则可使单片机系统有效复位（有效复位时，片内各特殊功能寄存器状态可见下表1），看门狗定时器WDT溢出时该引脚将输出98个振荡周期的高电平
3. **EA非/Vpp(31)**：双功能引脚。EA非为访问内部或外部程序存储器的选择信号端，低电平时，CPU只执行片外程序存储器中的程序；高电平时，CPU先执行片内程序存储器中的程序，但在PC（程序计数器）值超过片内程序存储器容量时，CPU将自动转向执行片外程序存储器中的程序。（S51的片内程序存储器大小为4KB，地址是0000H~OFFFH）。 Vpp是片内Flash程序存储器并行编程时的编程电压，一般用DC12V加入该引脚。
4. **ALE/PROG非（30）**：地址锁允许/编程脉冲信号端，双功能引脚。当CPU访问外部程序存储器或外部数据存储器时，该引脚提供一个ALE地址允许信号（由正向负跳变），将低八位地址锁存在片外地址锁存器中。 在Flash程序存储器并行编程时，该引脚作为程序负脉冲PROG非的输入端。 在正常情况下，该引脚还输出恒定频率的脉冲，其频率为晶振的1/6，可用作外部定时或其他触发信号。
5. **PSEN非（29）**：外部程序存储器读选通信号，低电平有效。当单片机访问外部程序存储器读取及执行指令代码时，每个机器周期均产生两次有效的PSEN非信号，但在执行片内程存储器读取指令码时，不产生该信号；在读写片内RAM单元的数据时，也不产生。

注：[**Flash存储器**](2.6%20S51片内Flash程序存储器.docx)**：**属于内存器件的一种，是一种不挥发性内存。挥发性内存，只要停止电流供应内存中的数据便无法保持，因此每次电脑开机都需要把数据重新载入内存；闪存在没有电流供应的条件下也能够长久地保持数据，其存储特性相当于硬盘，这项特性正是闪存得以成为各类便携型数字设备的存储介质的基础。

**2.2.2单片机的片外三总线**



当S51单片机系统需要外扩程序存储器、数据存储器或输入/输出端口时，外部芯片需要单片机为其提供地址总线、数据总线、控制总线。**这三种总线和单片机的I/O口线一起构成了单片机的片外总线。**

注：单片机的许多I/O口线用于外部扩展的三总线，不能都当作用户I/O口线。

在外部不扩展芯片的情况下，P0~3口才可都作为用户的I/O口线使用。

否则，只有P1以及部分作为第一功能使用的P3可作为用户的I/O口线使用。

**三总线：**

（1）. **地址总线（AB）**：地址总线宽度为16位，可访问64KB的外部程序和数据存储器。低八位地址总线（A0~A7）由P0经地址锁存器提供，高八位（A8~A15）直接由P2提供。

（2）. **数据总线（DB）**：数据总线宽度为8位，由P0提供。

（3）. **控制总线（CB）**：控制总线有P3的第二功能状态和[4根独立控制线](#控制引脚)RESET、EA非、ALE、PSEN非 组成。